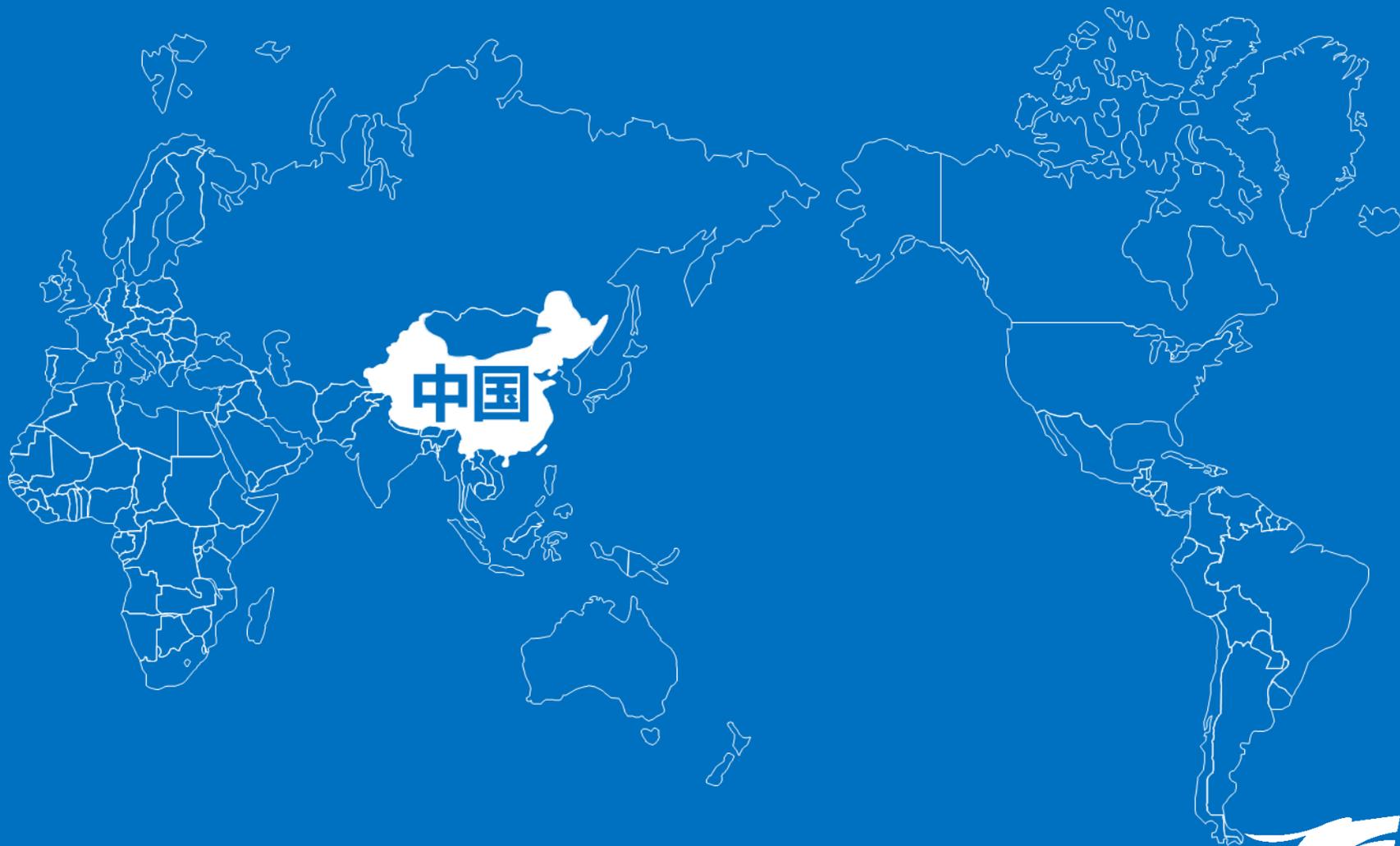


立足本土，放眼全球



硬件设计

- **器件选型(MCU)**

- **原理图设计**

- **PCB设计**



硬件设计

- 器件选型(MCU)

- 原理图设计

- PCB设计



•器件选型(MCU)

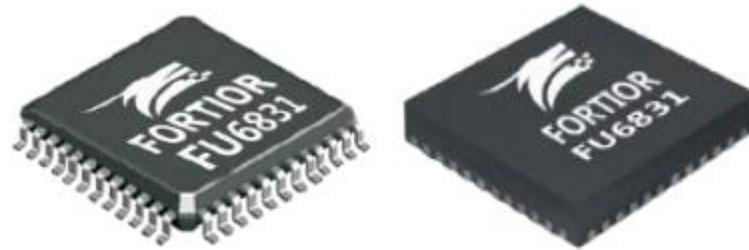
FU68XX 系列现共分为**3代7款**芯片：

一代：**FU6811, FU6831, FU6818;**

二代：**FU6812, FU6861;**

三代：**FU6813, FU6863。**

其中**FU6811**分为**FU6811L(LQFP48)**, **FU6811N(QFN32)**两种；



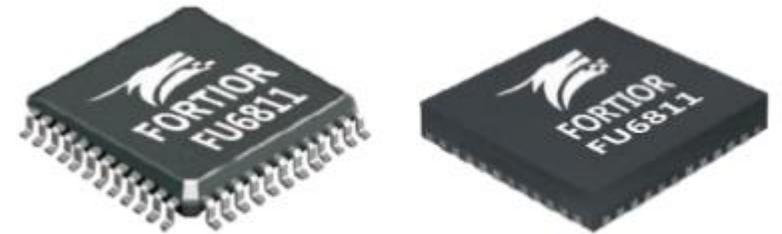
•器件选型(MCU)

FU6812是FU6811的升级版，FU6813是FU6812的升级版。

FU6812比FU6811有更多AD口，同时可以内部输出DA用于硬件过流配置，另，新增了BLDC硬件算法，FU6811L跟FU6812L PIN对PIN，可以直接使用**FU6812L**替代**FU6811L**。

FU6813比FU6812有更多DA口，同时增加PFC功能，更大的FLASH(32K)，FU6812L跟FU6813L PIN对PIN，可以直接使用**FU6813L**替代**FU6812L**。

FU6818Q为FU6811+FD6288，FU6861(63)Q为FU6812(13)+FD6187，同时61(63)比18有更多AD口等。



器件选型(MCU)

型号	全名	封装	驱动类型	内部LDO	外部LDO	电压范围	电流范围
FU6811	FU6811L	LQFP48	直驱P+N(5V)/+DRV驱动6N MOS	有	有	外部LDO时5-36V, 内部LDO时, 5-24V	5V时≤3A/其他时, 根据DRV确定
	FU6811N	QFN32		有	无	5-24V	
FU6831	FU6831L	LQFP48	P+N MOS	有	有	外部LDO时5-36V, 内部LDO时, 5-24V	5V时≤3A/其他时, ≤10A
	FU6831Q	QFN48		有	有		
	FU6831N	QFN32		有	无	5-24V	
FU6812	FU6812L	LQFP48	直驱P+N(5V)/+DRV驱动6N MOS	有	有	外部LDO时5-36V, 内部LDO时, 5-24V	5V时≤3A/其他时, 根据DRV确定
	FU6812S	SSOP24		有	无	5-24V	
FU6813	FU6813L	LQFP48	直驱P+N(5V)/+DRV驱动6N MOS	有	有	外部LDO时5-36V, 内部LDO时, 5-24V	5V时≤3A/其他时, 根据DRV确定
	FU6813P	LQFP52		有	无	5-24V	
FU6818、61、63	FU6818Q、61Q、63Q	QFN56	6N MOS	有	有	外部LDO时5-36V, 内部LDO时, 5-24V	≤50A



硬件设计

- 器件选型(MCU)

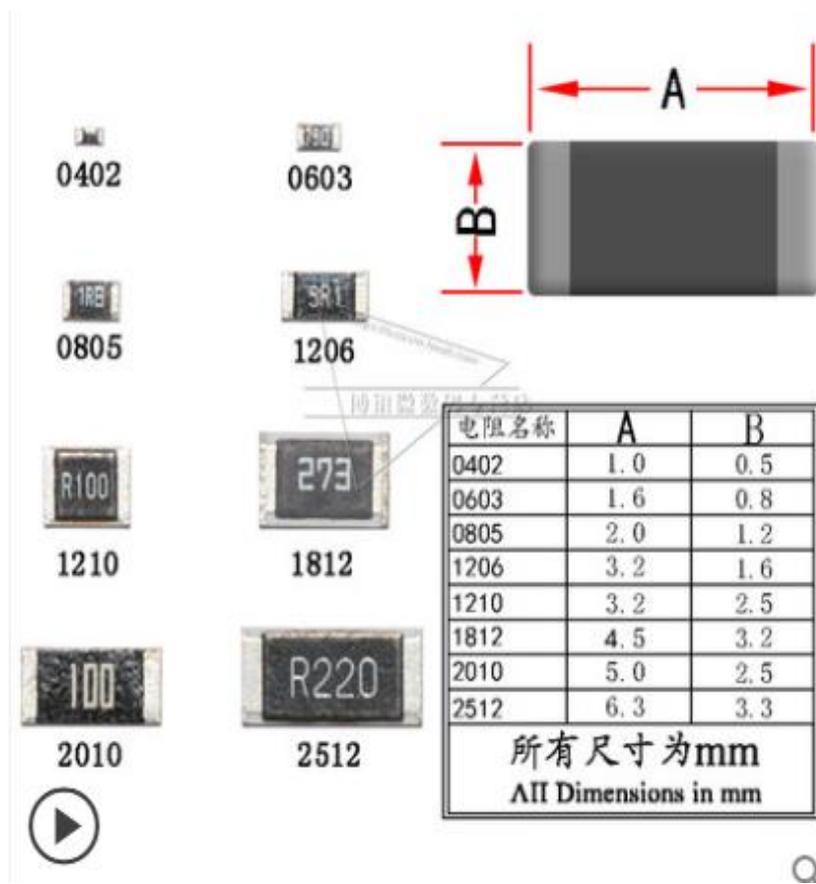
- 原理图设计

- PCB设计

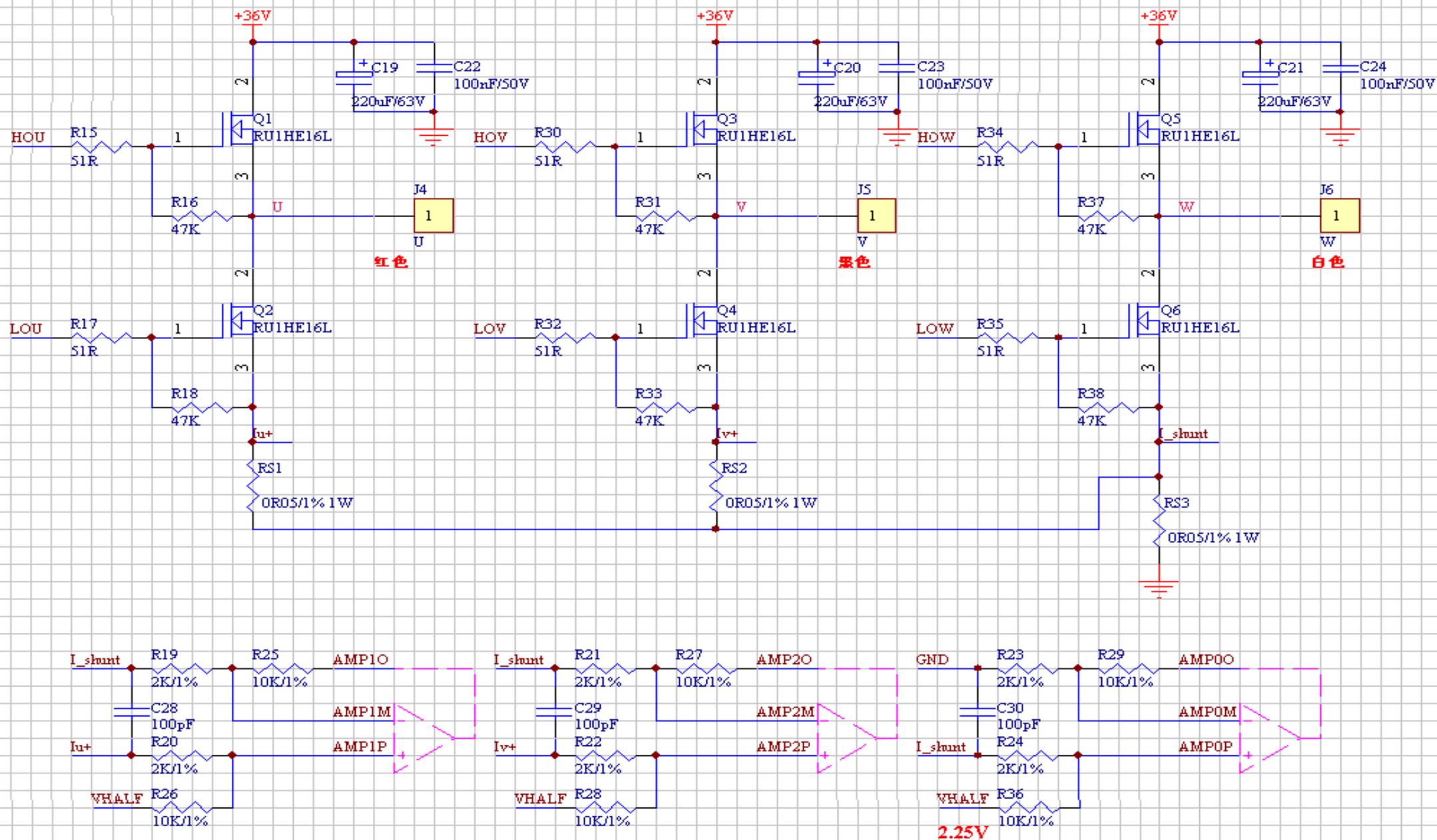


原理图设计

采样电阻越大越好，放大倍数越小越好，最好是采样到的值，MCU可以直接进行采样，不需要放大。在电路中，采样电阻变为2倍，相同电流的情况下，功率变成4倍，同时功耗也会成变成4倍，价格相应的要增加很多，所以采样电阻不能放的很大，要取一个合适的值。同理，采样电阻很小，运算放大倍数很大，这样干扰也会跟着放大，导致采样不准确。通常会按照理论上的最大电流选择一个合适的电阻，阻值要一般情况下要低于0.5欧姆的常用物料，封装要在1206、2512等中选择。放大倍数一般为3-10倍。



原理图设计



原理图设计

如上图，客户要求功率在**80W**，额定电压为**36V**，最低电压**30V**，按照极值计算，最大额定电流为 **$80/30=2.67A$** ，最大电流为 **$2.67*1.414=3.77A$** ，采样电阻采用**0.05Ω**，最大功率为**0.71W**，考虑到高温至少要降额使用**70%**，所以最好是选自**1W**或者以上功率的采样电阻，综合价格等因素，这里选择**0.05Ω/1W**的采样电阻。在采样电阻基本确定的情况下，放大倍数一定留有足够的余量，通常的余量为最大电流的**2倍**以上，这里的最大电流为**3.77A**，按照**4A**计算，一般情况下，我们要选择可以采样至少**8A**的范围。可采样范围为 **$2.25 \pm 2.25V$** ， **$2.25/0.05/8=5.6$** 倍，这里选择**5倍**，所以可采样电流范围为**9A**，满足要求。



原理图设计

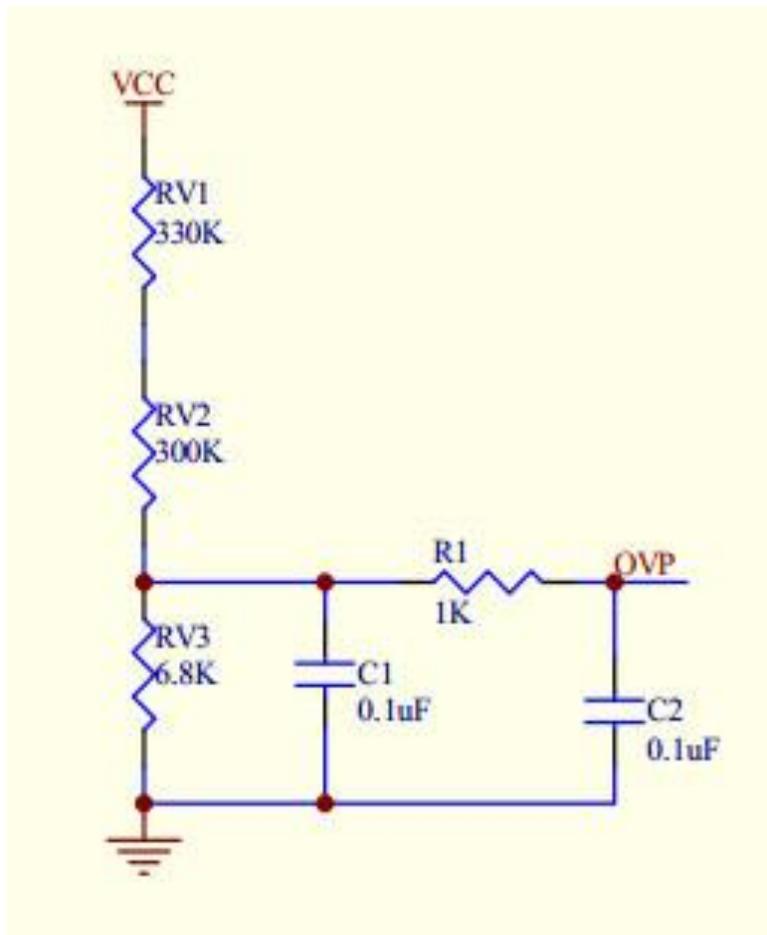
FOC涉及电流采集，在应用中应设置电流基准。电流基准与硬件板上的采样电阻**Rsample**，运放放大倍数**Amp**，MCU的ADC参考电压**Vs**三个参数相关。在调节过程中，电机的运行电流不能超过**ADC**最大采样电流，也不能小于最小采样电流。为兼顾软件过流保护和堵转过流保护，一般设置最大采样电流为电机运行最大电流的**1.5到2**倍，电流基准即为运行最大电流的**3-4**倍。已知电机运行的最大电流后，为得到设计的电流基准，需选择合适的采样电阻和放大倍数。采样电阻越大，采样的精度越高，但采样电阻需考虑电阻上的功率导致的温升。采样电阻功耗原则为 **$P = I^2 R_{\text{sample}} < P_{\text{max}}$** 。在保证电阻温升符合要求的情况下，电阻值应尽量大。采样电阻确定好后，再配置对应的放大倍数即可。

电流基准 **$I_{\text{base}} = \frac{V_s}{R_{\text{sample}} * \text{Amp}}$** ，最大采样电流 **$I_{\text{smax}} = \frac{I_{\text{base}}}{2}$** ，最小采样电流 **$I_{\text{smin}} = -\frac{I_{\text{base}}}{2}$** 。

示例： **$R_{\text{sample}}=0.5\Omega$** ， **$\text{Amp}=4$** ， **$V_s=4.5\text{V}$** ，则 **$I_{\text{base}} = 2.25\text{A}$** ， **$I_{\text{smax}} = 1.125\text{A}$** ， **$I_{\text{smin}} = -1.125\text{A}$** 。



原理图设计



在FOC的SVPWM模块中需采集母线电压进行计算，而在高低压应用中，因电源电压与MCU的ADC最大采样电压不等，需根据实际情况将母线电压用分压方式来处理。配置电路中的分压电阻RV1，RV2，RV3(低压情况下省去RV2，即RV2=0)，则对应的缩小倍数和最大采样电阻计算方式如下：

$$\text{缩小倍数} RV = \frac{RV1+RV2+RV3}{RV3}$$

最大采样电压为 $V_{smax}=RV*V_s$

示例：

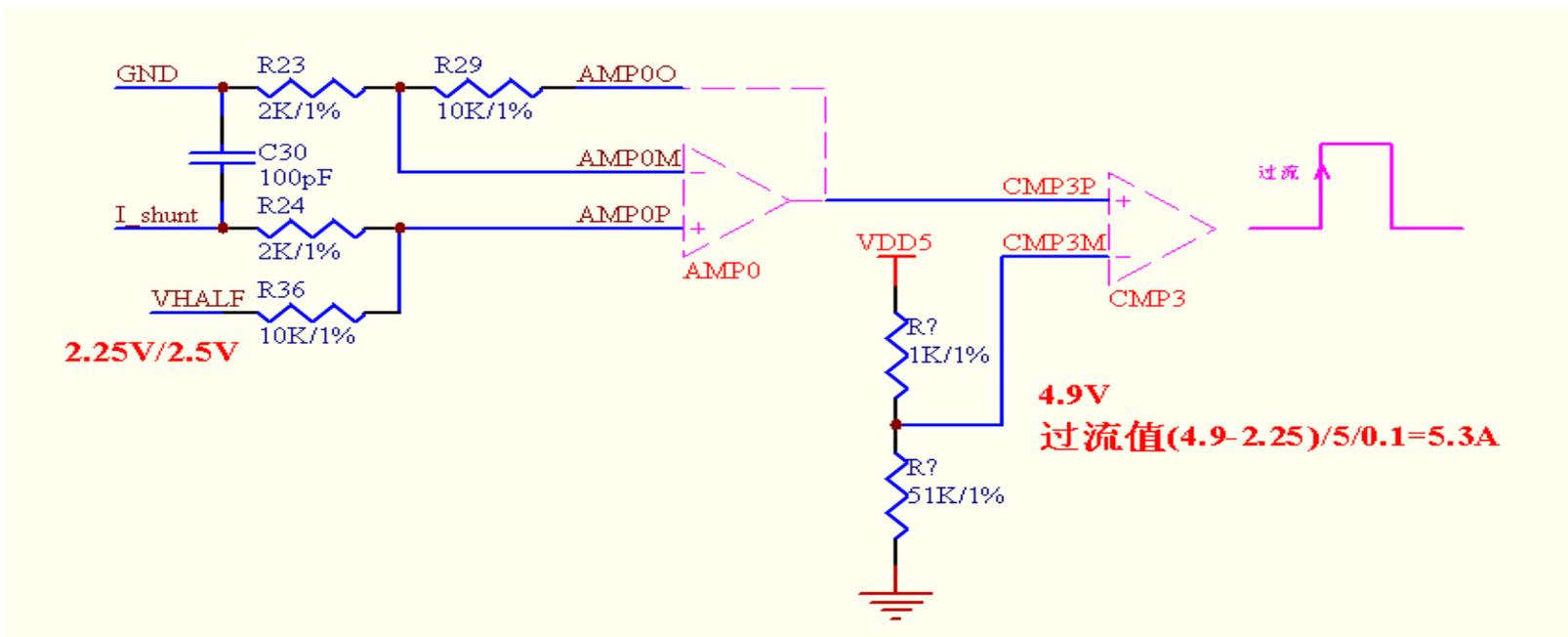
RV1=330KΩ，RV2=300KΩ，

RV3=6.8KΩ，Vs=4.5V，则最大采样电压

$$\text{为 } V_{smax} = \frac{330+300+6.8}{6.8} * 4.5 = 421V$$



原理图设计



68系列芯片可通过设置比较器3的上升沿触发硬件过流保护中断。其硬件过流值与采样电阻 R_{sample} 、运放放大倍数 Amp 、ADC参考电压 V_s 、比较值有关。

示例：

$R_{sample}=0.1$ ， $Amp=5$ ， $V_s=4.5$ ，比较值为4.9，硬件过流值
 $= (4.9 - 1/2 * 4.5) / 5 / 0.1 = 5.3A$



硬件设计

- 器件选型(MCU)

- 原理图设计

- PCB设计



PCB的设计流程

● 前期准备

- PCB设计前要与原理设计、可靠性设计、电磁兼容设计、工艺结构沟通，确定PCB整体的外围结构和接口布局。
- 与原理设计确认PCB网表和器件封装。

● 布局

- 将PCB网表导入，根据前期确定的外围结构和接口布局，将元器件合理的排布到PCB板框范围内。

● 布线

- 根据根据和整体网表，确定信号分层和电源分层。
- 根据网表，将信号连接。电源和地处理。

● 后期处理

- 根据可靠性、电磁兼容和热设计的要求，对PCB板上的信号和地进行后期。
- 对PCB进行电气规则检查，再适当修改和调整PCB电路。
- 根据要求，在PCB板上添加相应的标志和标识。

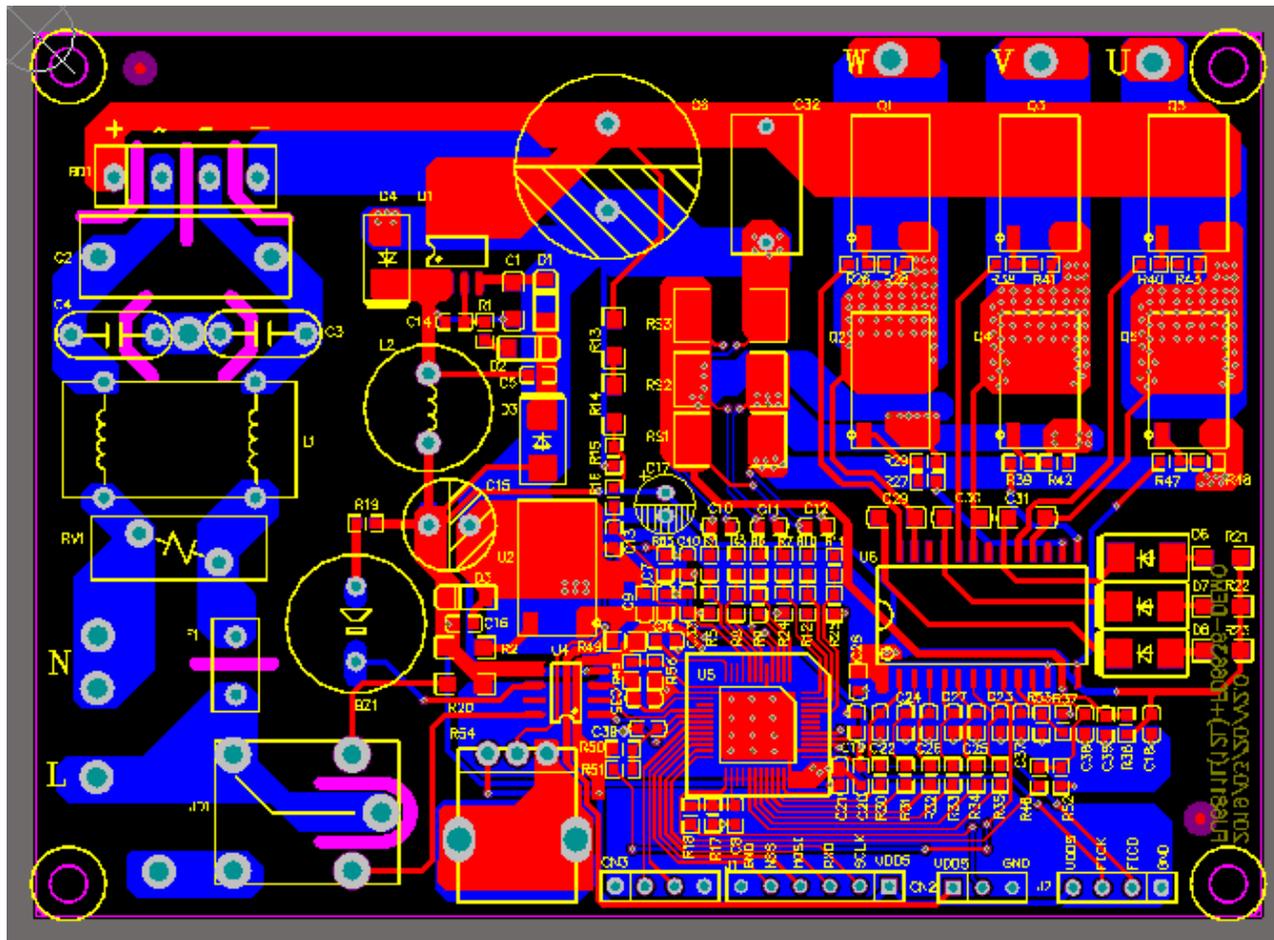


PCB设计

一、布局

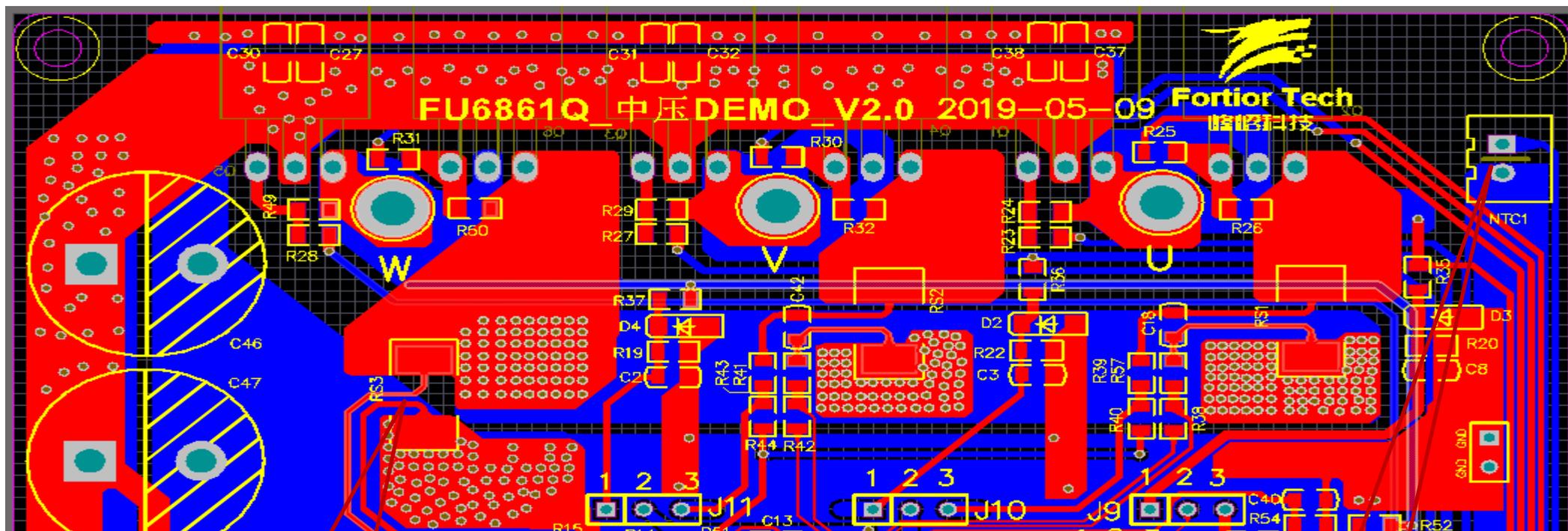
布局的前提是要客户确认好结构，主要的器件位置，散热器方式、位置、方向，HALL位置，电机出线位置，封装大小、尺寸等。

良好的布局是一个PCB成功的关键！



PCB设计

整体布局时，发热器件周围要预留足够的空间，方便散热，器件周围不能有过孔，过孔要远离发热器件，如MOS、采样电阻、LDO等，尤其是采样电阻，采样信号线尽量不要有过孔，如果非要加过孔，建议从先本层引出，远离电阻后再通过过孔引出。



采样电阻

NTC热敏

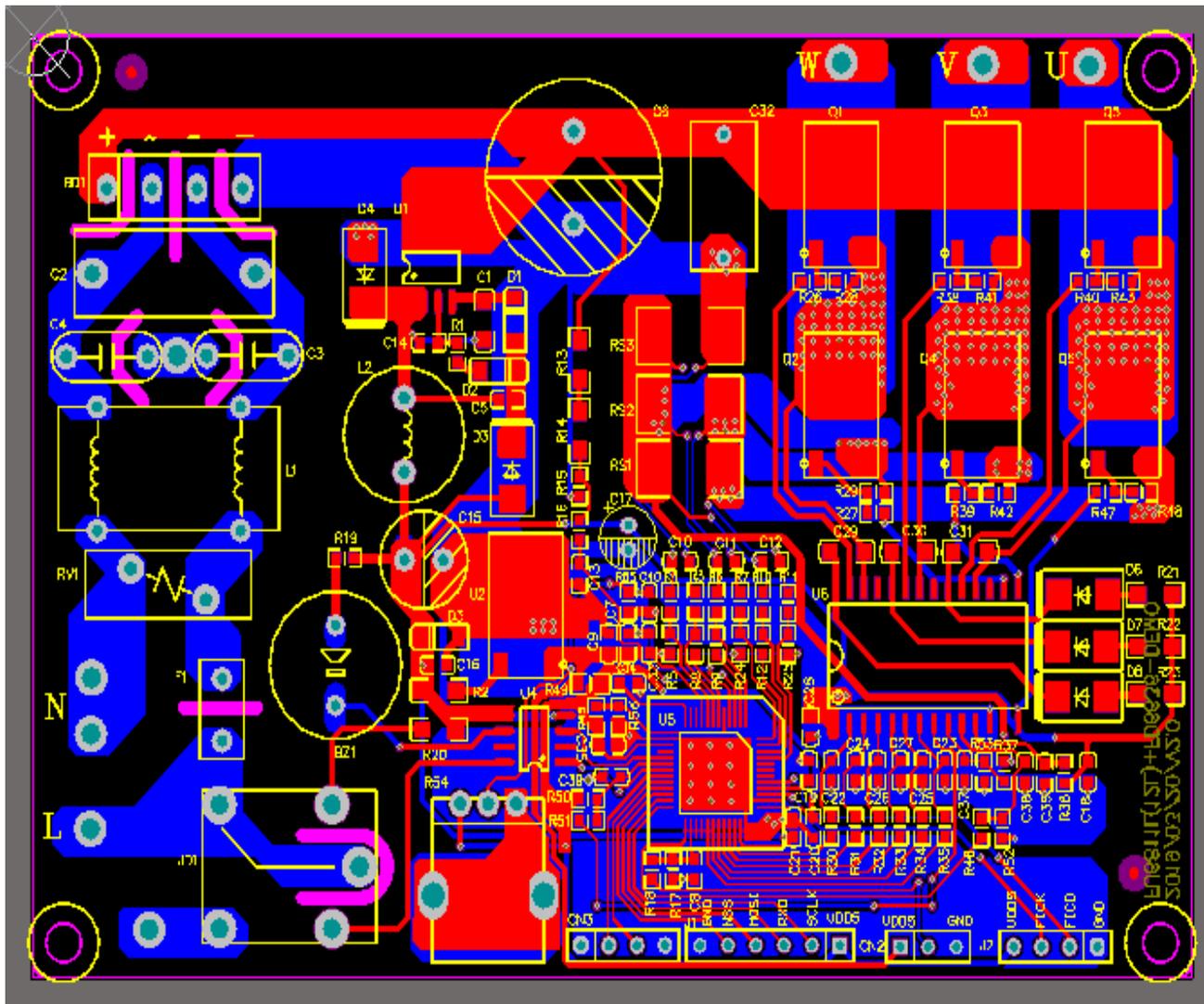


PCB设计

回路越顺，干扰就越小，通常采用双回路原则。

强电回路，整个大电流功率回路最短，同时要求包围面积最小；电路靠近PCB板的一边放置，整个电路占整板的一个边，或者相连的两个边，尽量做到不对其他电路干扰。

弱电回路，即控制回路，从强电回路中分出来，电源和地一起并排走，用最短的回路降压，同时将地与强电并联，弱电尽量从强电的大电容处分出，受电端为弱电控制信号，要远离强电端，PCB中通常放置的板的另一边，一般占据PCB板的一个角。



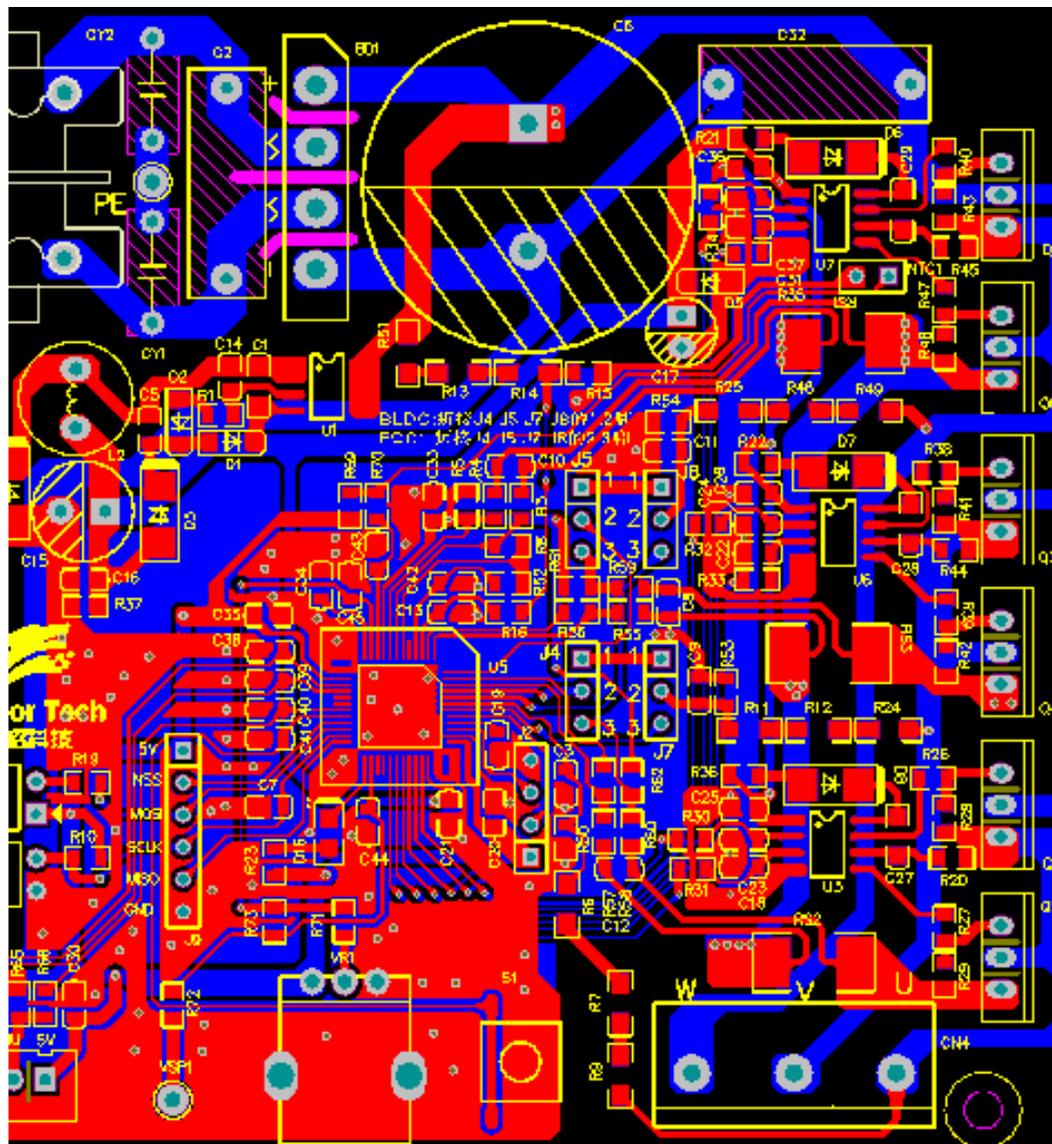
PCB设计

二、驱动优先

良好的驱动走线，是稳定的基础，驱动稳定才能保证采样稳定，以及整个系统的运行稳定等，如果驱动有问题，采样再精准，也会失真。此处的驱动是指驱动IC（HVIC）到功率器件

（MOS/IGBT）的驱动信号，通常将驱动IC靠近功率器件放置

（MOS/IGBT），驱动IC发出的信号通过限流电阻等连接到功率器件，此处的走线要尽量简单、直接，最好不要交叉，且，限流电阻最好是靠近功率器件放置。此处主要是针对FU6811(12)配合HVIC使用的场合。含有内置驱动芯片，如FU6818(61)和FU6831，驱动已经固定，就要综合考虑驱动和采样，选择一个折中点。



三、采样次优先

驱动良好的情况下，采样信号准确了，才能保证控制良好。在驱动确定的情况下，采样线一定要使用差分，而且走线要越短，越粗才好（此处非高频，一般不做阻抗匹配要求）。在用IPM的场合，可以认为驱动都是良好的，所以，关系到控制的只有采样信号，其他信号都是次优先。

四、其他信号优先级最低

如果有通讯等相关信号，通讯就相对优先，如串口、**SPI**等，对实时性要求不高的电平信号则排最后，走通即可，如果带有滤波电容，电容最好是靠近接收端，同时的电容的**GND**一定要与接收端直接相连。

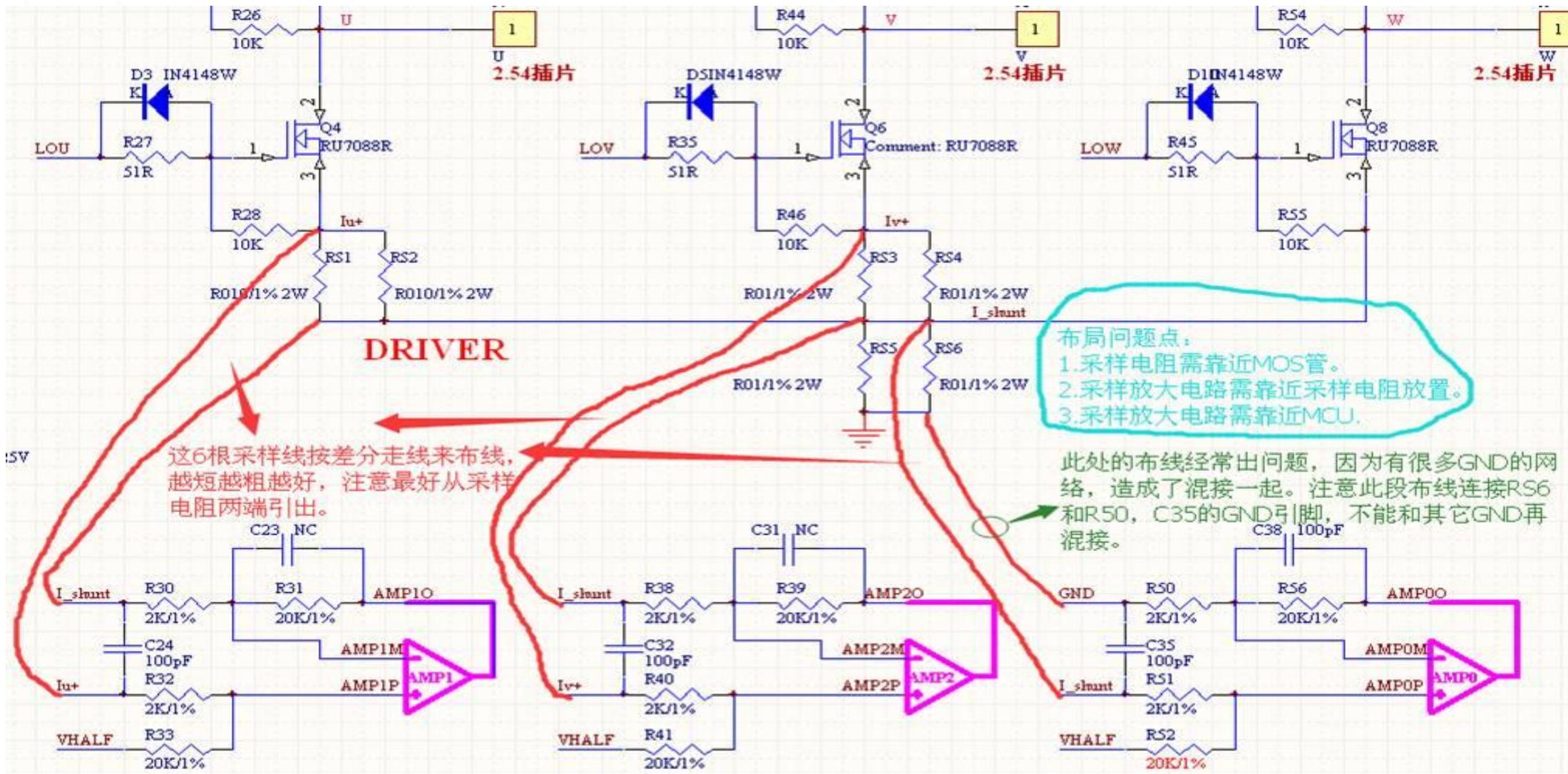


注意事项:

- 1、FU6818(61)的自举电路，要靠近MCU放置；
- 2、MCU内部运放的配置电容电阻要靠近MCU放置；
- 3、FU6818(61)的52脚GND不能与内部的焊盘GND相连，要单独从降压电源处连接；
- 4、MCU周边的配置电容等，一定要靠近MCU放置，同时GND一定要与MCU内部的GND直接相连，最好能采用整面的铺铜；
- 5、整板的GND最好区分强弱，强弱从强电的母线电容处单点连接；
- 6、关系到精密信号的采样，尤其的AD相关的信号，相关器件的GND一定要与MCU内部焊盘的GND直接相连，如电流采样，电压采样，温度采样等。
- 7、反电动采样分压后的GND要与MCU的GND直接相连，如果分压后又加了RC滤波，则RC滤波的GND要与MCU的GND直接相连，分压的GND要与功率GND相连。
- 8、VDD5信号要走线尽量简单，不能穿过干扰源，如果不能避免，则要在相关使用的位置加更多的去耦电容。
- 9、所有连接板外的信号线上都要串联1K以上电阻，防止IO等被外部ESD或EOS烧毁！



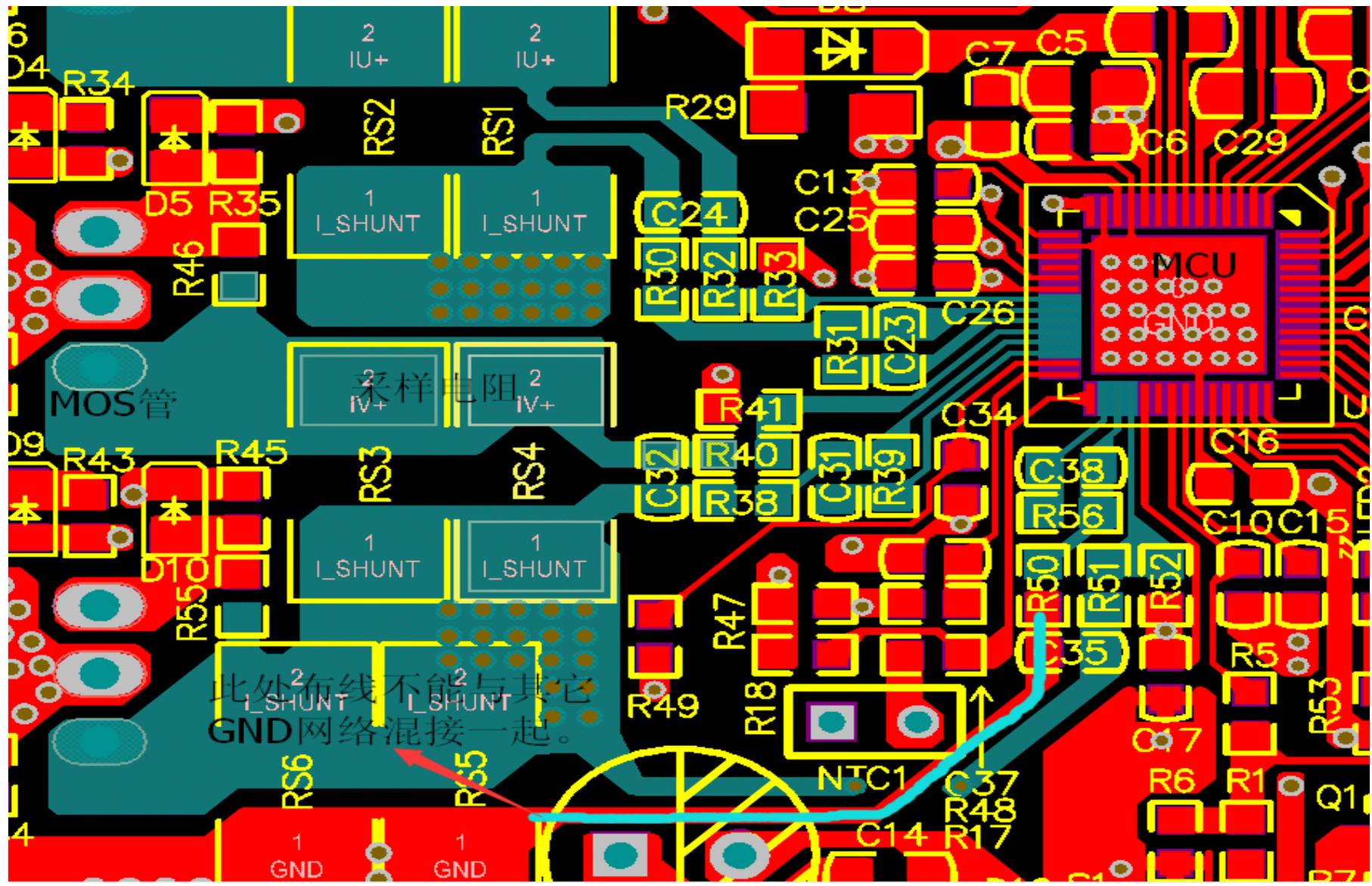
PCB设计

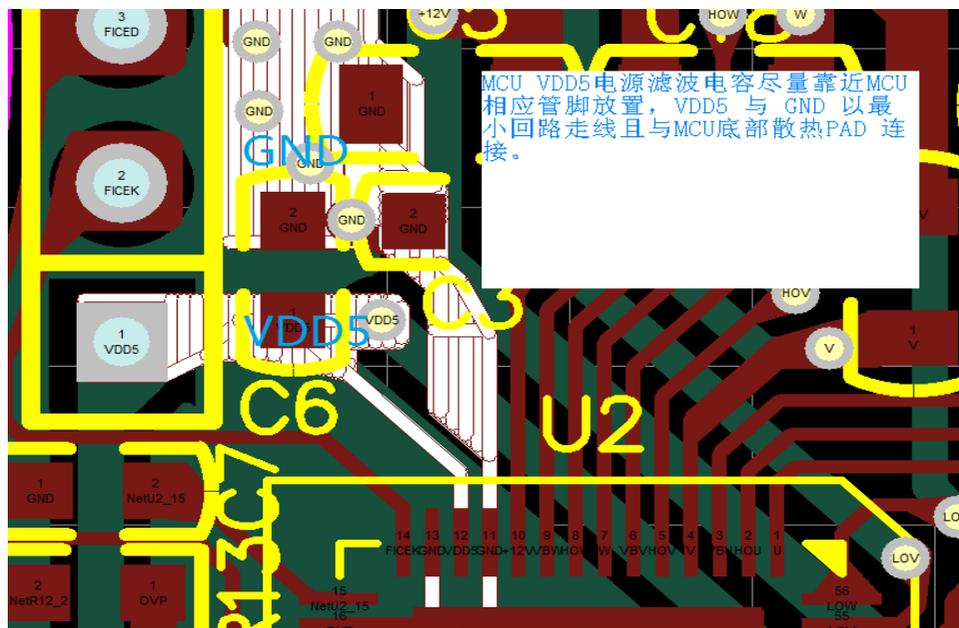


采样电阻到运放的配置电容、电阻的走线要采用差分走线。
运放的配置电容、电阻要靠近MCU放置。



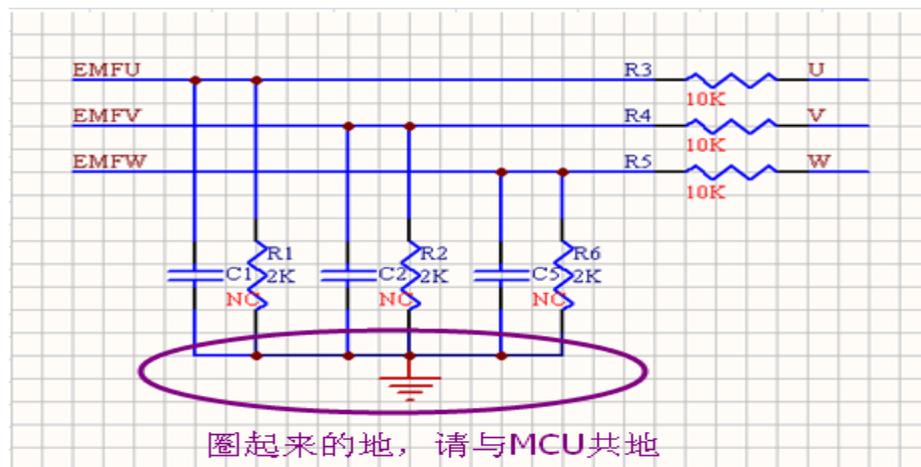
PCB设计





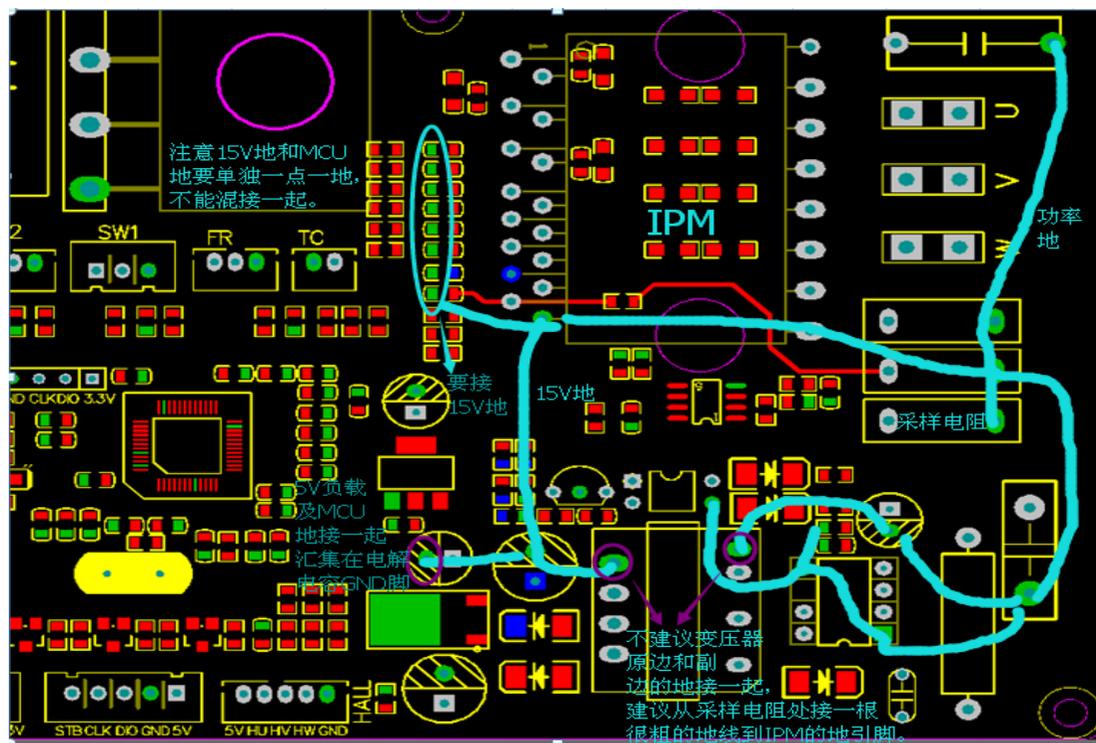
VDD5为MCU提供电源，电容一定要靠近MCU放置，否则没有滤波效果，而且电容的**GND**脚要跟MCU的**GND**直接相连，否则对MCU端来说跟没有是一样的，这里要特别注意，如果处理不当，剧烈干扰情况下可能会导致MCU烧坏！！





反电动采样分压后的**GND**要与**MCU**的**GND**直接相连。如果分压后又加了**RC**滤波，则**RC**滤波的**GND**要与**MCU**的**GND**直接相连，分压的**GND**要与功率**GND**相连。





主要是MOS Driver的地要与MCU地不能混接一起，两者之间要单点接地，可以从15V电源电解电容处一分为二。同时要15V电源到采样电阻两者之间的地能保证最短，也就是弱电电源布局最好靠近采样电阻。



常见问题及解决办法

- 硬件过流

- MOS管开关震荡

- MCU的VDD5与GND短路



硬件过流为我们最常见的保护方式，一般情况下，硬件过流后都不能恢复，要求停止运行，必须重新上电才能再次工作。硬件过流后，要确定是真过流还是假过流，

1、看能否重现，

2、而且是否是有规律的重现

如果能重现，基本可以确定是真过流，如果不能，则很可能是假过流，最好能找到假过流的原因，是不是外部的偶然因素导致的误触发，如果不能找到原因，而且一般情况很难出现，但是绝对不只一次出现，也要将其规划到真过流中。这里说的过流，在不做说明的情况下都是真过流。



过流又分为，初始上电过流，和运行过程中过流。如果一上电就过流，首先要检测硬件，看驱动IC和功率器件，是否焊接良好，有无短路，相关器件的性能指标是否在范围内。前提是要保证软件配置正确，如驱动电平符合要求，如FU6831上桥为PMOS——低有效，下桥NMOS——高有效。死区时间要足够。上下桥臂的GS和之间的上升下降时间不能有交叉。

功率器件的性能指标主要通过测量相关管脚之间的二极管确定（无示波器情况下，如果有，直接测量信号即可），如HVIC中，GND到LIN，GND到HIN，GND到LO，LO到VCC，VS到HO，HO到VB，一上这些管脚之间都存在二极管，可以直接确定是否良好。MOS中，N MOS中S和D之间存在二极管，应用中G和S之间一般有一个10K-47K的下拉电阻，PMOS中D和S之间存在二极管，应用中G和S之间一般有一个10K-47K的上拉电阻



如果驱动**IC**和功率器件都没有问题，则要通过以下几个方面考虑：

- 1、是否是充电方式导致？是否是采用三相同时充电？充电开启的占空比是否太大？充电时间否太长？
- 2、过流计算方式是否正确？硬件上是否加了基准电压，而计算时没有考虑？或者计算错误？
- 3、是否是过流值太小？过流余量是否足够？
- 4、是否是控制方式问题？其他软件可以运行，这个软件不行，确认是否是启动参数不合适？
- 5、有**HALL**时，是否是接线顺序错误？
- 6、**BLDC**时，是否的软件换向角错误？



MOS开关震荡一般是布线不合理导致。理想情况下驱动不应该存在震荡，但是驱动信号线上有电阻、电感、电容，同时有外围的其他信号耦合，容易导致驱动信号震荡，导致**MOS**开关震荡，一般情况下通过增大**Gate**端的限流电阻可以改善，但是电阻增大以后，会导致开通、关断时间变慢，**MOS**发热加剧，导通效率降低，通常还要增大软件的死区时间，所以电阻增大的空间比较有限，在比较恶劣的情况只能通过优化**PCB**改善。



VDD5与GND之间击穿，大多数情况下都是布线不合理导致的，**VDD5**上的去耦电容没有发挥应有的作用，如**VDD5**的**GND**没有跟**MCU**内部的**GND**直接连接，导致不同的**GND**之间电势差变大，这种情况在电流场合尤其明显，**VDD5**与**GND**直接就很容易超过最高电压限定值（**6V**），导致**VDD5**击穿。解决这种问题的最根本的办法就是重新布线，确保**VDD5**和**GND**走线合理。



Thanks !

中国. 深圳高新中区科技中二路深圳软件园二期11栋203

邮 编: 518057

电 话: +86 755-8618-1158

传 真: +86 755-2686-7715

网 址: www.fortiortech.com

邮 箱: info@fortiortech.com